

**МИНИСТЕРСТВО ПУТЕЙ СООБЩЕНИЯ СССР  
МОСКОВСКИЙ ОРДЕНА ЛЕНИНА  
И ОРДЕНА ТРУДОВОГО КРАСНОГО ЗНАМЕНИ  
ИНСТИТУТ ИНЖЕНЕРОВ ЖЕЛЕЗНОДОРОЖНОГО ТРАНСПОРТА**

---

**Кафедра электронных вычислительных машин**

**ЛОГИЧЕСКОЕ ПРОЕКТИРОВАНИЕ  
КОНТРОЛЛЕРА ПЕРИФЕРИЙНОГО  
УСТРОЙСТВА МИКРОПРОЦЕССОРНОЙ  
СИСТЕМЫ С ВЫХОДОМ НА ИНТЕРФЕЙС И41**

**Часть IV**

**ВРЕМЕННЫЕ ДИАГРАММЫ ИНТЕРФЕЙСА И41.  
МОДЕЛИРОВАНИЕ РАБОТЫ КОНТРОЛЛЕРА  
ПЕРИФЕРИЙНОГО УСТРОЙСТВА НА ИНТЕРФЕЙС**

**Методические указания  
к лабораторным работам, практическим занятиям,  
курсовому проектированию и УИРС**

**Москва — 1986**

681.3  
1475

МИНИСТЕРСТВО ПУТЕЙ СООБЩЕНИЯ СССР  
МОСКОВСКИЙ ОРДЕНА ЛЕНИНА  
И ОРДЕНА ТРУДОВОГО КРАСНОГО ЗНАМЕНИ  
ИНСТИТУТ ИНЖЕНЕРОВ ЖЕЛЕЗНОДОРОЖНОГО ТРАНСПОРТА

---

Кафедра электронных вычислительных машин

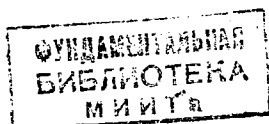
У т в е р ж д е н о  
редакционно-издательским  
советом института  
ЛОГИЧЕСКОЕ ПРОЕКТИРОВАНИЕ КОНТРОллЕРА  
ПЕРИФЕРИЙНОГО УСТРОЙСТВА МИКРОПРОЦЕССОРНОЙ СИСТЕМЫ  
С ВЫХОДОМ НА ИНТЕРФЕЙС И41

Ча с т ь I V

ВРЕМЕННЫЕ ДИАГРАММЫ ИНТЕРФЕЙСА И41.  
МОДЕЛИРОВАНИЕ РАБОТЫ  
КОНТРОллЕРА ПЕРИФЕРИЙНОГО УСТРОЙСТВА НА ИНТЕРФЕЙС

Методические указания  
к лабораторным работам, практическим занятиям,  
курсовому проектированию и УИРС  
для студентов специальностей ЗЕМ, АСУ, ПМ

Москва - 1986



## I. ЦЕЛЬ РАБОТЫ

Часть IV настоящих методических указаний посвящена изучению временных диаграмм интерфейса И41 (*MULTIBUS*) и работы контроллера ПУ на этот интерфейс и является продолжением предыдущих трех частей.

## II. ЗАДАНИЕ

1. Изучить разд. II ч. III методических указаний.
2. Согласно варианту задания (см. разд. III ч. I) разработать содержательную граф-схему алгоритма работы контроллера ПУ на интерфейс И41 (в терминах сигналов интерфейса и сообщений, передаваемых по шинам интерфейса).
3. Пользуясь рис. I-6, вычертить временные диаграммы работы контроллера ПУ на интерфейс для заданного варианта.
4. Провести моделирование процесса обмена информацией через интерфейс в виде специальной таблицы, пример которой приведен в разд. III, п. 4.

## III. ТЕОРЕТИЧЕСКАЯ ЧАСТЬ

### I. Временные диаграммы обмена информацией

Сигналы интерфейса И41, обеспечивающие обмен информацией, сведены в табл. I.

На рис. I, а, б приведены временные диаграммы обмена данными для системы без использования сигналов запрета, с 16-разрядной шиной адреса и 8-разрядной шиной данных. Поскольку обмен происходит асинхронно, все сигналы на линиях интерфейса устанавливаются и сбрасываются в произ-

Т а б л и ц а I

Линии интерфейса, обеспечивающие обмен данными

Обозначение	Название	
	английское	русское
ADRO/-ADR13/	Address line	Адрес
DATO/-DATF/	Data line	Данные
BHEN/	Bus high enable	Разрешение 16-разрядной шины данных
INH1/	Inhibit RAM	Запрет ОЗУ
INH2/	Inhibit ROM	Запрет ПЗУ
MRDC/	Memory read command	Чтение из памяти
MWTC/	Memory write command	Запись в память
IORC/	Input-output read command	Ввод
IOWC/	Input-output write command	Вывод
XACK/	Acknowledge	Подтверждение

вольные моменты времени  $t_i$ . Задержки сигналов относительно друг друга приведены в табл. 2.

Рассмотрим подробно временную диаграмму выполнения команды чтения (ввода) (см. рис. I, а). Задатчик выставляет адрес исполнителя на шины адреса (момент времени  $t_1$ ) и команду (MRDC/ - для чтения и IORC/ - для ввода). Задержка сигналов на шине адреса определяется временем срабатывания адресных схем задатчика.

Исполнитель, распознавший свой адрес, выставляет на шине данных информацию (момент  $t_3$ ), которую сопровождает

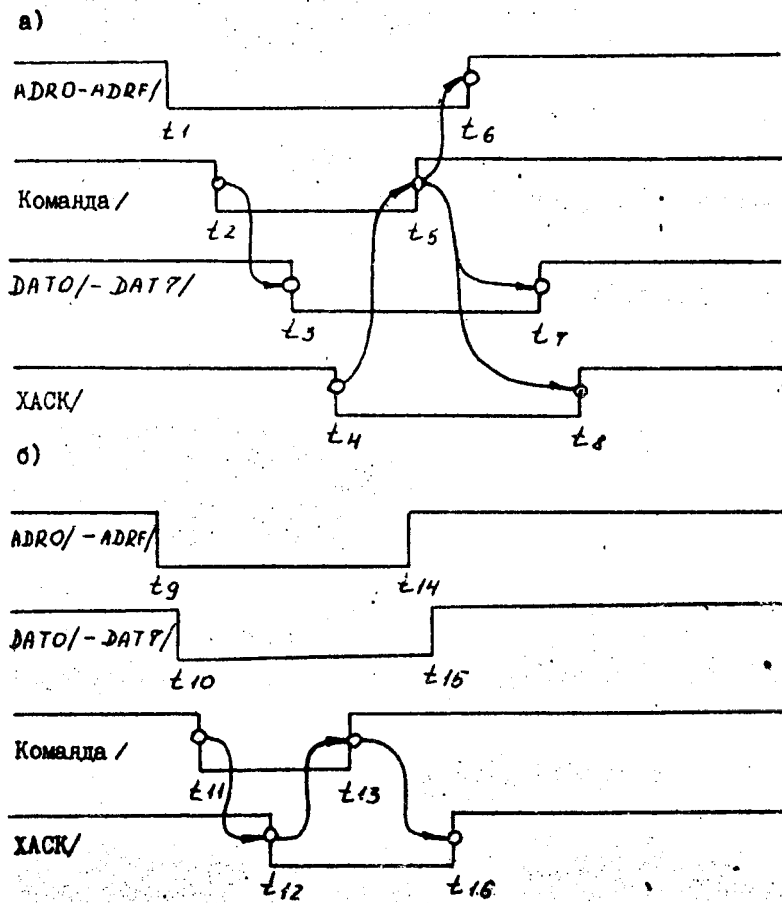


Рис. 1. Временные диаграммы обмена данными для системы без использования сигналов запрета:

а - ввод; б - вывод

сигналом подтверждения ХАСК/ (момент  $t_4$ ). Появление сигнала ХАСК/ в ответ на команду чтения (ввода) означает "данные выставлены", а задатчик, получив сигнал ХАСК/,

Т а б л и ц а 2

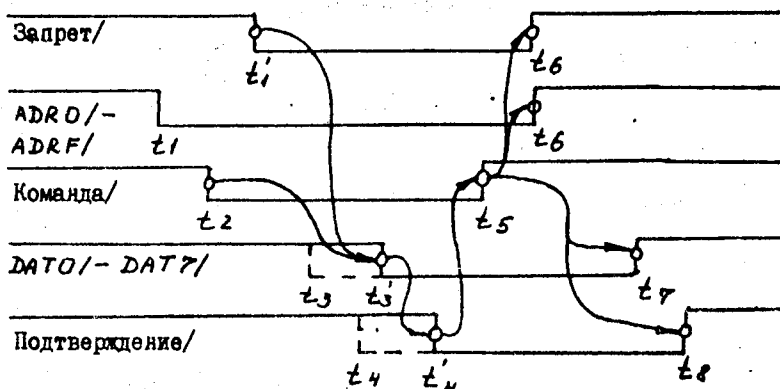
Временные задержки сигналов интерфейса при обмене данными

Задержка	Название	Значение	
		Минимум, нс	Максимум, нс
$t_1 - t_2,$ $t_9 - t_{11}$	Время установки адреса на приемнике	50	
$t_2 - t_4,$ $t_{11} - t_{12}$	Время подтверждения	0	$t_{TOT}$
$t_2 - t_5,$ $t_{11} - t_{13}$	Длительность команды	100	$t_{TOT}$
$t_3 - t_4$	Время установки данных при чтении	0	
$t_5 - t_6,$ $t_{13} - t_{14}$	Время выдержки адреса	50	
$t_5 - t_7$	Время выдержки данных при чтении	0	65
$t_5 - t_8,$ $t_{13} - t_{16}$	Время выдержки подтверждения	0	65
$t_{10} - t_{11},$	Время установки данных при записи	50	
$t_{13} - t_{15}$	Время выдержки данных при записи	50	
$t_{TOT}$	Время тайм-аута	40 мкс	$\infty$

считывает данные и сбрасывает команду ( $t_5$ ) и адрес ( $t_6$ ).

Сброс задатчиком команды означает для исполнителя - "данные приняты", и исполнитель освобождает шину данных ( $t_7$ ) и сбрасывает сигнал ХАСК/.

а)



б)

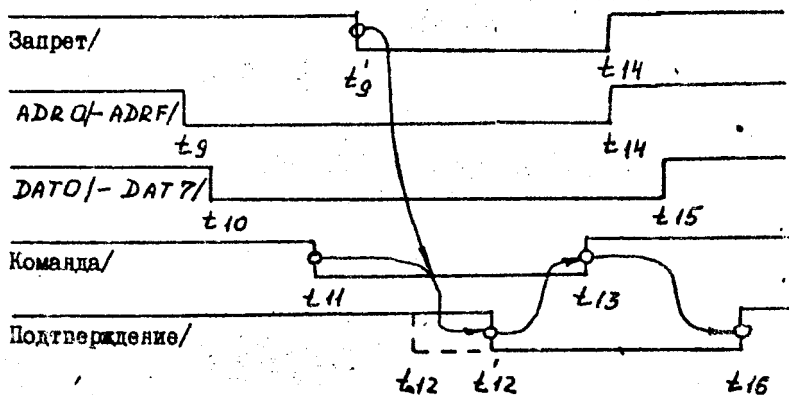


Рис. 2. Временные диаграммы обмена данными для системы с использованием сигналов запрета: а - ввод; б - вывод

При записи (выводе) информации (см. рис. 1, б) задатчик выставляет предназначенные для передачи данные одновременно с адресом исполнителя ( $t_9$ ) и сопровождает их сигналом на

Т а б л и ц а 3  
 Временные задержки сигналов  
 при использовании сигналов запрета

Задержка	Название	Задержка	
		Минимум	Максимум
$t_1 - t'_1,$ $t_9 - t'_9$	Задержка запрета		100 нс
$t_1 - t'_4,$ $t_9 - t'_{12}$	Время ответа запрещающего исполнителя	1,5 мкс	$t_{\text{OUT}}$

одной из линий команды ( $MWTC/$  для записи и  $IOWC/$  для вывода). Появление сигнала  $MWTC/$  или  $IOWC/$  означает - "данные готовы", и исполнитель, распознавший свой адрес, принимает данные с шины данных и выставляет сигнал  $HASK/$  ( $t_{12}$ ), означающий - "данные приняты". По сигналу  $HASK/$  задатчик сбрасывает команду ( $t_{13}$ ), адрес ( $t_{14}$ ) и данные ( $t_{15}$ ), а исполнитель по сбросу команды завершает обмен сбросом сигнала  $HASK/$ .

В системах, использующих адресацию с сигналами запрета, временная диаграмма обмена будет иметь вид, показанный на рис.2. Сигналы запрета могут быть установлены не позже, чем через 100 нс после установки адреса (табл.3). Сигнал подтверждения  $HASK/$  должен быть задержан на время выполнения переходных процессов в запрещаемых устройствах. Пунктиром на рис.2 показано время появления сигналов в системе без использования запретов.



2. Временные диаграммы арбитража запросов доступа  
к шине данных

Сигналы арбитража приведены в табл. 4.

Т а б л и ц а 4

Сигналы арбитража

Обозначение	Название		Примечания
	английское	русское	
<i>BCLK /</i>	<i>bus clock</i>	Синхронизация (шины)	-----
<i>BREQ<sub>i</sub> /</i>	<i>bus request</i>	Запрос доступа к шине данных	Применяется только при параллельном способе арбитража
<i>BPRN<sub>i</sub> /</i>	<i>bus priority in</i>	Входные сигналы разрешения доступа к шине данных	-----
<i>BPRO<sub>i</sub> /</i>	<i>bus priority out</i>	Входные сигналы разрешения доступа к шине данных	Применяются только при последовательном способе арбитража
<i>BZ<sub>Y</sub> /</i>	<i>busy</i>	Занято	-----

Временные диаграммы процедуры арбитража представлены на рис. 3-5.

Рассмотрим подробно процедуру захвата шины данных и смены задатчика при параллельном способе арбитража (см. рис. 3,4). В исходном состоянии системы на всех линиях запроса доступа *BREQ<sub>i</sub> /* и на всех линиях входного сигнала разрешения доступа *BPRN<sub>i</sub> /* находятся сигналы высокого уровня. Устройстве А, которому необходимо выполнить обмен в режиме ЦШ, по спаду сигнала синхронизации *BCLK /* выставляет

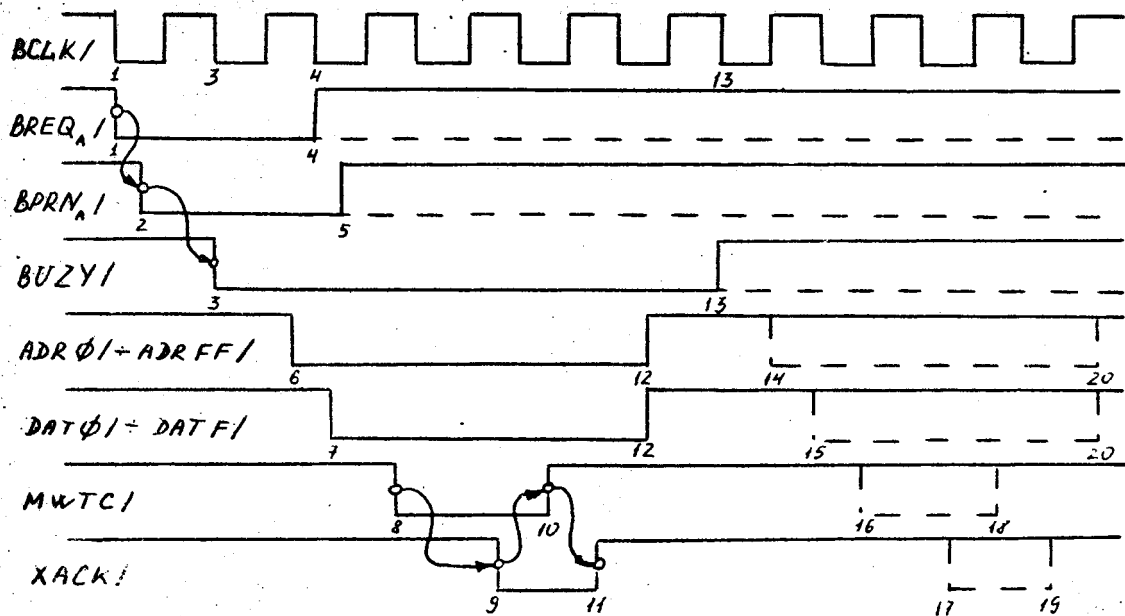


Рис.3. Временная диаграмма работы ПУ в режиме прямого доступа

сигнал запроса  $BREQ_A/$  (см. рис. 3, момент времени  $t_1$ ). Арбитр выдает сигнал разрешения в линию  $BPRN_A/$  (момент  $t_2$ ). Задержка  $t_1 - t_2$  определяется быстродействием схемы арбитра, но не должна превышать периода сигнала синхронизации  $BCLK/$ .

В исходном состоянии системы линия  $BUSY/$  свободна, поэтому по ближайшему спаду  $BCLK/$  задатчик А занимает шину, выставляя сигнал  $BUSY/$  ( $t_3$ ). После этого задатчик А выполняет обмен с исполнителем в соответствии с протоколом обмена. На рис.3 задатчик А выполняет запись в память (моменты  $t_8 - t_{12}$ ).

Если периферийному устройству необходимо обменяться только одним словом данных, то после занятия шины ПУ сбрасывает сигнал на линии  $BREQ_A/$  (момент  $t_4$ ), а после завершения обмена по ближайшему спаду сигнала  $BCLK/$  сбрасывает сигнал  $BUSY/$  ( $t_{13}$ ). Если ПУ МА необходимо произвести обмен массивом слов, то сигнал  $BREQ_A/$  не сбрасывается (на рис.3 показано пунктиром). После того как передано очередное слово, ПУ МА проверяет, нет ли в системе ПУ с более высоким приоритетом, готового к обмену. Если такого устройства нет (присутствует сигнал на линии  $BPRN_A/$ ), то ПУ МА продолжает обмен, не сбрасывая сигнал  $BUSY/$  (на рис.3 показано пунктиром, моменты  $t_{14} - t_{20}$ ).

Рассмотрим теперь случай, когда во время выполнения обмена задатчиком А задатчик В с более высоким приоритетом выставил свой запрос доступа к шине  $BREQ_B/$  (см. рис. 4 момент  $t_6$ ). Поскольку в системах на базе интерфейса

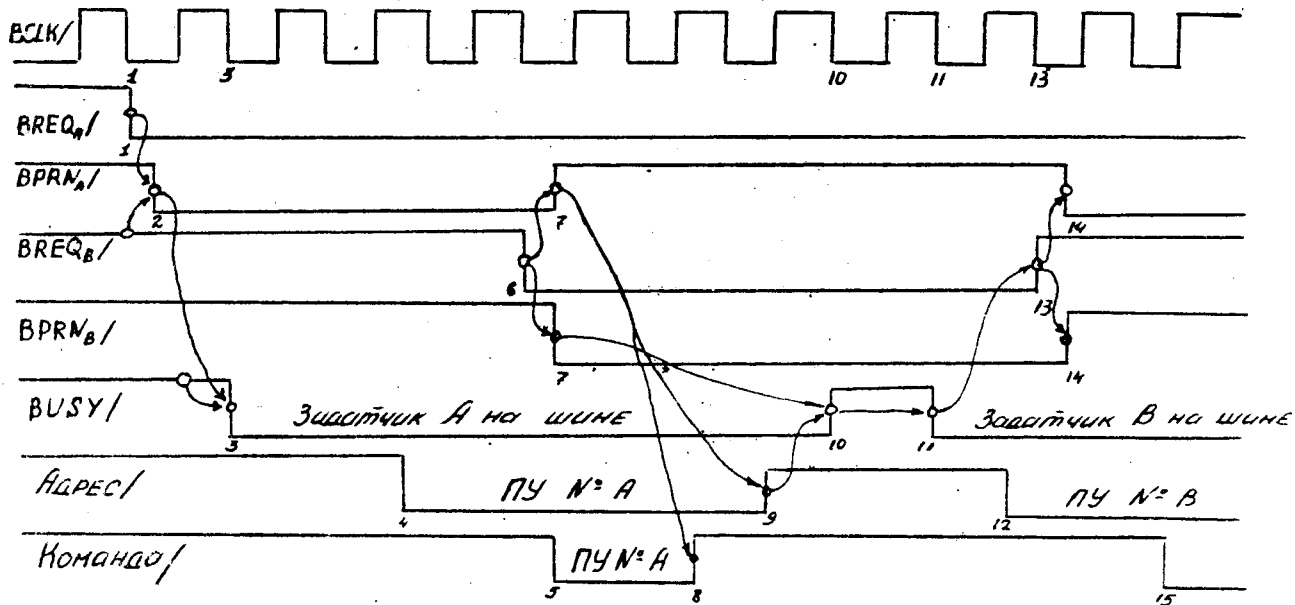


Рис.4. Временная диаграмма смены задатчика на шине при параллельном способе арбитража

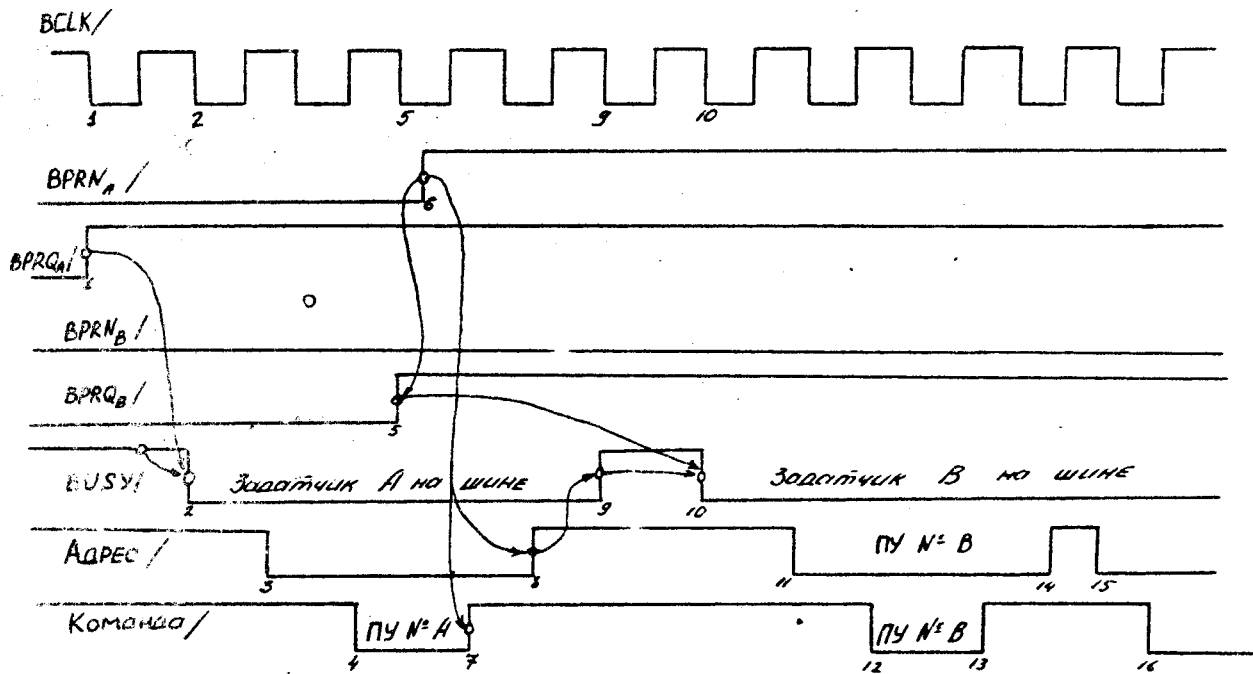


Рис.5. Временная диаграмма смены задатчика на шине при последовательном способе арбитража

И41 процедура арбитража и процедура обмена выполняются параллельно, то арбитр сравнивает приоритеты  $BRQ_n /$  и  $BRQ_0 /$ , выдает сигнал разрешения в линию  $BRN_0 /$  и сбрасывает сигнал в линии  $BRN_n /$  ( $E_r$ ). Задатчик А завершает передачу очередного слова и, обнаружив запрещающий уровень сигнала на линии  $BRN_0 /$ , синхронно с  $BSLK /$  сбрасывает сигнал на линии  $BSZY /$  ( $E_{10}$ ). Если передача массива информации задатчиком А не закончена, то сигнал запроса  $BRQ_n /$  не сбрасывается.

После освобождения шины задатчиком А задатчик В по спаду сигнала  $BSLK /$  занимает шину, выдав сигнал  $BSZY /$  ( $E_{11}$ ), и начинает обмен со своим исполнителем. Если предполагается вести обмен одним словом, то сигнал запроса  $BRQ_0 /$  сбрасывается.

На рис.5 представлена временная диаграмма процедуры обмена задатчика при последовательном арбитраже.

Линия запроса доступа к шине  $BRQ_n /$  при последовательном арбитраже не используется. Устройство  $i$ , которому потребовалось захватить шину и которое получило входной сигнал разрешения  $BRN_i /$ , сбрасывает сигнал выходного разрешения  $BRQ_i /$ , который поступает на вход  $BRN_{i+1} /$  следующего устройства и транслируется дальше, запрещая всем устройствам с более низким приоритетом запрашивать шину. На входе самого приоритетного устройства сигнал разрешения  $BRN_0 /$  присутствует постоянно.

В исходном состоянии системы все входные сигналы разрешения  $BRN_n /$  присутствуют, т. е. имеют низкий

уровень. Задатчик  $A$ , желающий получить доступ к шине, по спаду сигнала синхронизации сбрасывает сигнал разрешения выходной. Это вызывает сброс сигнала входного разрешения для устройства  $A+1$  и сброс сигнала разрешения выходного для устройства  $A+1$ . Происходит трансляция низкого уровня сигнала разрешения (т. е. трансляция сигнала запрещения), все устройства с приоритетом, меньшим  $A$ , лишаются возможности доступа к шине на все время, пока устройство  $A$  является задатчиком.

Потенциальный задатчик, сбросом сигнала выходного разрешения  $BPRO_L/$  заявив о своем желании занять шину данных, анализирует сигнал входного разрешения  $BPRN_L/$ . Сброс сигнала  $BPRO_L/$  осуществляется по спаду сигнала  $BCLK/$ , а анализ сигнала  $BPRN_L/$  ( $L = 1, 2, \dots, N-L$ ) устройствами с более низким приоритетом — по следующему спаду сигнала  $BCLK/$ . Поэтому за время, равное периоду сигнала  $BCLK/$ , сигнал запрещения доступа к шине должен достичь устройства с самым низким приоритетом, чтобы оно, как и остальные, не могло занять шину. Отсюда максимальное количество устройств, которое может быть подключено к цепочечной линии разрешения доступа, определяется из неравенства

$$\sum_{i=1}^N \tau_i < T_{сн},$$

где  $\tau_i$  — время реакции устройства на сброс выходного сигнала разрешения;

$T_{сн}$  — период синхросигнала  $BCLK/$ .

### 3. Временные диаграммы обработки прерываний

Сигналы, используемые в процедуре прерывания, сведены в табл. 5.

Т а б л и ц а 5

Сигналы прерывания

Обозначение	Название		Примечания
	английское	русское	
<i>INT0/-INT1</i>	<i>Interrupt</i>	Сигналы запроса прерывания	
<i>INTA1</i>	<i>Interrupt acknowledge</i>	Подтверждение прерывания	Только для векторного прерывания

Временная диаграмма для невекторного прерывания приведена на рис.6. Устройство выставляет запрос прерывания на индивидуальную линию *INT<sub>i</sub>/* (момент времени *t<sub>1</sub>*). Контроллер прерывания, обнаружив запрос, формирует адрес прерывающей программы. Процессор переходит к обработке прерывающей программы, содержащей команды ввода-вывода, и дальнейшее его взаимодействие с ПУ будет представлять собой не что иное, как программный обмен (см.рис.1,а,б).

Только для самого первого обращения процессора к ПУ временная диаграмма будет отличаться от временной диаграммы программного обмена (см. рис. 5): ПУ, распознав свой адрес на шине адреса и получив команду по одной из линий управления обменом (*IDRC/*, *IOWC/*, *MRDC/* или *MWTC/*), обрывает сигнал запроса прерывания *INT<sub>i</sub>/*



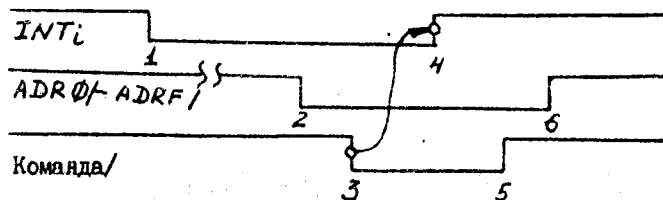


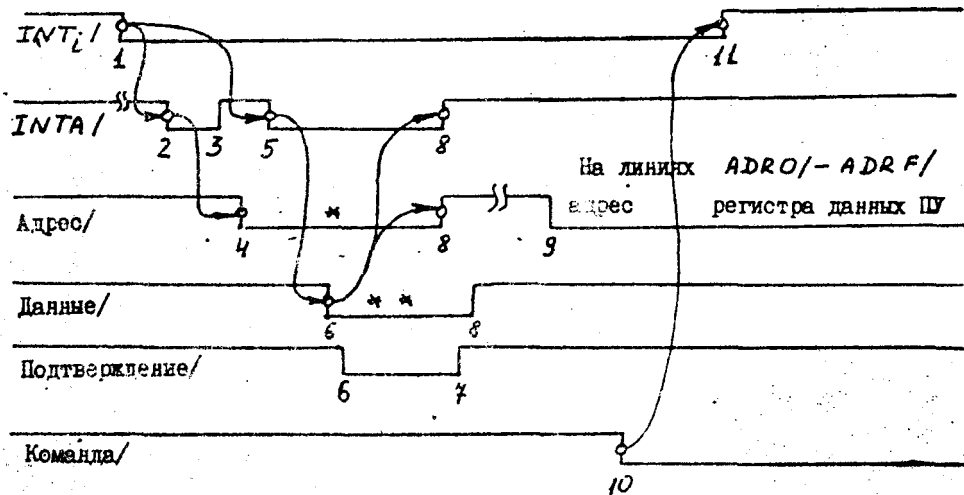
Рис. 6. Временная диаграмма не векторного прерывания

(момент времени  $t_4$ ). Поскольку запрос на линии  $INT_i$  может быть замаскирован, то время  $t_1 - t_2$  может быть велико. Однако запросы в системе не теряются, поэтому после обслуживания всех более приоритетных запросов запрос  $i$  будет обслужен.

Временные диаграммы векторного прерывания приведены на рис. 7.

Рассмотрим случай прерывания с одним дополнительным сигналом подтверждения прерывания  $INTA/$  (см. рис. 7, а).

ПУ выставляет сигнал на индивидуальную линию запроса прерывания  $INT_i/$  ( $t_1$ ). Обнаружив запрос, контроллер прерываний выдает в процессор сигнал прерывания по неинтерфейсной линии. Процессор отвечает на него сигналом фиксированной длительности на интерфейсной линии  $INTA/$  ( $t_2 - t_3$ ). По этому сигналу ПУ фиксирует состояние линии прерывания  $INT_i/$   $INT_i/$ , а контроллер прерываний выдает на шину адресе (линии  $ADR8/ - ADPA/$  код номера самого приоритетного из поступивших запросов ( $t_4$ )). Через фиксированный интервал времени после выдачи первого сигнала  $INTA/$  ( $t_3 - t_5$ ) процессор выдает следующий сигнал  $INTA/$  ( $t_5$ ). По этому сигналу ПУ при-



- \* - на линиях **ADR8/-ADRA/** код номера запроса **i**
- \*\* - на линиях **DAT0/-DAT7/** адрес вектора прерывания

б)

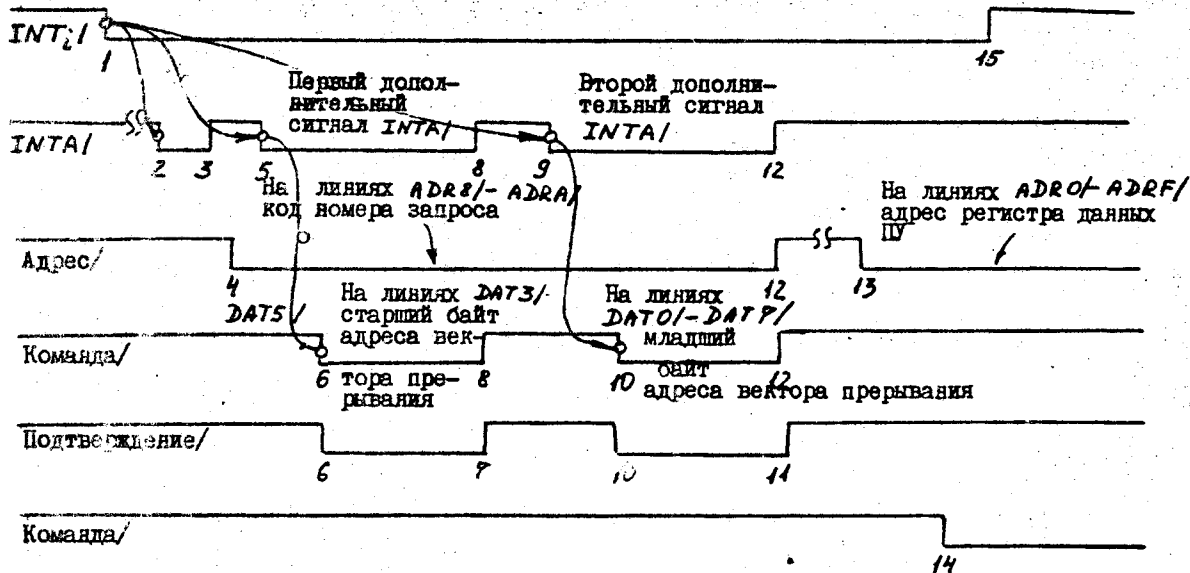


Рис. 7. Временная диаграмма векторного прерывания с одним (а) и двумя (б) дополнительными сигналами подтверждения прерывания

мают код запроса с шины адреса. Устройство, опознавшее свой код запроса, выставляет на шину данных ( $DATA/ - DATA/$ ) адрес вектора прерывания ( $t_6$ ) и сигнал подтверждения на линии ХАСК/ ( $t_6 - t_7$ ).

По сигналу ХАСК/ контроллер прерывания принимает адрес вектора прерывания с шины данных, формирует адрес прерывающей программы и передает его в процессор. В ответ на это процессор сбрасывает сигнал  $INTA/$  ( $t_8$ ). Контроллер прерываний освобождает шину адреса, а ПУ - шину данных. После этого ПУ переходит в режим ожидания обращения от процессора и при получении первой же команды ввода/вывода ( $t_{10}$ ) сбрасывает сигнал запроса прерывания  $INT/$  ( $t_{11}$ ).

В случае векторного прерывания с двумя дополнительными сигналами  $INTA/$  (см. рис. 7,б) различия во временной диаграмме начинаются с момента  $t_6$ .

Контроллер прерывания по сигналу ХАСК/ принимает от ПУ первый байт адреса вектора прерывания, но не передает его в процессор. Код самого приоритетного запроса с адресной шины не снимается. По сигналу ХАСК/ процессор сбрасывает сигнал  $INTA/$  ( $t_8$ ) и через фиксированный интервал времени ( $t_8 - t_9$ ) выставляет второй дополнительный сигнал  $INTA/$  ( $t_9$ ). По этому сигналу ПУ передает в контроллер прерываний второй байт адреса вектора прерывания по шине данных ( $t_{10}$ ), сопровождая его сигналом на линии ХАСК/. Контроллер прерываний формирует из двух полученных байтов адрес прерывающей программы и передает его в процессор по внешнему каналу связи. За что процессор отвечает сери-

Таблица 6

Таблица для моделирования работы контроллера ПУ на интерфейс

Момент времени	Шина арбитража					Шина прерывания		Шина адреса (16-ричный код)	BHEM/	Шина запрета		Шина данных (16-ричный код)	Шина управления передачей данных				
	VCCX/	VCCG/	VPCV/	VPCD/	VPCY/	INP1/	INTA/			INH1/	INH2/		MRDC/	MWTC/	IOWC/	IURC/	XASC/
I						0	I	~				~	I	I	I	I	I
2						0	0	~				~	I	I	I	I	I
3						0	I	~				~	I	I	I	I	I
4						0	I	0500				~	I	I	I	I	I
5						0	0	0500				~	I	I	I	I	I
6						0	0	0500				38	I	I	I	I	0
7						0	0	0500				38	I	I	I	I	I
8						0	I	~				~	I	I	I	I	I
9						0	I	~5F				~	I	I	I	I	I
10						0	I	~5F				~	I	I	0	I	I
II						I	I	~5F				~	I	I	0	I	I

сом сигнала  $INTA/$  ( $t_{12}$ ). Далее процедура выполняется аналогично прерыванию с одним дополнительным сигналом  $INTA/$ .

4. Моделирование работы контроллера ПУ  
на интерфейс И41

Моделирование работы контроллера ПУ на интерфейс И41 выполняется в форме табл. 6, отображающей состояние линий интерфейса в последовательные моменты смены состояния хотя бы одной линии. Предварительно студент должен упростить таблицу в соответствии со своим вариантом задания. Например, для варианта I табл. 6 приобретает вид табл. 7.

Т а б л и ц а 7

Таблица моделирования для варианта I

Момент времени	Шина адреса (шестнадцатичный код)	$BHE/$	Шина данных (шестнадцатичный код)	Шина управления передачей данных		
				$IORC/$	$IOWC/$	$XACK/$
1						
2						
3						
4						
5						

В табл. 6 приведен фрагмент модели для режима обмена по прерыванию. Поскольку обмен выполняется асинхронно, то моменты времени отмечены цифрами (в тексте - как  $t_i$ ).

## СО Д Е Р Ж А Н И Е

I. Цель работы . . . . .	3
II. Задание . . . . .	3
III. Теоретическая часть . . . . .	3
I. Временные диаграммы обмена информацией . . . . .	3
2. Временные диаграммы арбитража запросов доступа к шине данных . . . . .	9
3. Временные диаграммы обработки прерываний . . . . .	16
4. Моделирование работы контроллера ПУ на интерфейс И41 . . . . .	22

Ольга Федоровна Мологонцева,

Елена Сергеевна Богодистова

ЛОГИЧЕСКОЕ ПРОЕКТИРОВАНИЕ КОНТРОллЕРА  
ПЕРИФЕРНОГО УСТРОЙСТВА МИКРОПРОЦЕССОРНОЙ СИСТЕМЫ  
С ВЫХОДОМ НА ИНТЕРФЕЙС И41

Часть IV

Методические указания  
к лабораторным работам, практическим занятиям,  
курсовому проектированию и УИРС

Редактор В.Г.Макоакова

Техн. редактор Н.Н.Васильева

Корректор М.Б.Остапович

---

Сдано в набор 8.04.1985г. Подписано в печать 28.04.86  
Формат 60x90<sup>I</sup>/16. Печ.л. 1,5 Зак. 37/ Тир. 250.

Уч.-изд.л. 1,0

Бесплатно.

Редакционно-издательский отдел МИИТа

---

Типография МИИТа, Москва, ул.Образцова, 15