

---

Институт управления и информационных технологий  
Кафедра «Вычислительные системы и сети»

А.Е.МАМЧЕНКО, А.В.АБРАМОВ

**ПРОЕКТИРОВАНИЕ  
УПРАВЛЯЮЩИХ АВТОМАТОВ С  
ПРОГРАММИРУЕМОЙ ЛОГИКОЙ**

Рекомендовано редакционно-издательским советом  
университета в качестве методических указаний для студентов  
специальности 90102 «Компьютерная безопасность»

МОСКВА – 2007

УДК 681.3  
М22

Мамченко А.Е., Абрамов А.В. Проектирование управляющих автоматов с программируемой логикой: Методические указания к курсовому проектированию. – М.: МИИТ, 2007. – 24 с.

Методические указания посвящены проектированию микропрограммных управляющих автоматов с программируемой (хранимой в памяти) логикой.

В первом разделе приведены рекомендации по проектированию автоматов двух различных степеней сложности. Во втором разделе содержатся подробные сведения по оформлению курсового проекта.

Предназначены для студентов специальности «Компьютерная безопасность» и других информационных специальностей.

© Московский государственный университет  
путей сообщения (МИИТ), 2007

## 1. РЕКОМЕНДАЦИИ ПО ВЫПОЛНЕНИЮ КУРСОВОГО ПРОЕКТА (КУРСОВОЙ РАБОТЫ)

Для курсового проекта (работы) предлагаются две *темы* по проектированию микропрограммного управляющего автомата с программируемой логикой:

### **Тема 1:**

**“Проектирование микропрограммного автомата”**, где управляющее устройство разрабатывается для конкретного операционного автомата (арифметико-логического устройства, АЛУ), выполняющего заданную вычислительную процедуру (операцию);

### **Тема 2:**

**“Организация микропрограммных управляющих устройств с программируемой (хранимой в памяти) логикой”**.

В рамках этой темы автомат разрабатывается для гипотетических устройств типа процессора, способных выполнять от десятков до сотен операций (команд).

Выбор той или другой темы осуществляется самим студентом; при этом номер варианта задания определяется им по порядковому номеру в журнале группы.

## 1.1. РЕКОМЕНДАЦИИ ПО ТЕМЕ 1:

1. Курсовая работа или проект по этой теме выполняется по методическим указаниям [1] в списке литературы. Нижеследующие рекомендации являются дополнениями к этим указаниям;

2. Общее число тестовых примеров  $N_{\text{тест}}$  определяется таким образом, чтобы оказались протестированы *все* пути, ведущие в микропрограмме от начальной к конечной вершине.

Достаточной формой представления тестов является таблица (а) рис. 1. Приветствуется вариант оформления набора тестов в виде  $N_{\text{тест}}$  таблиц, в каждой из которых отражаются исходные данные и результаты выполнения определенных микрокоманд (рис.1, б);

3. Данная рекомендация касается тех вариантов, в которых задан естественный порядок адресации микрокоманд. Из [1] (с.22-24) не ясно, как осуществляется “схождение” ветвей, в микропрограмме, т.е. объединение двух и более ветвей на одной вершине. Эту задачу можно решить одним из следующих двух способов.

При *первом* из них схема УФАМК (рис. 7 в [1]) сохраняется, а сам переход от одной произвольной микрокоманды к другой осуществляется так:

- сначала операционной (лишней с точки зрения алгоритма) микрокомандой, или несколькими такими микрокомандами устанавливается в *единичное* состояние один из признаков результата, причем операндами для таких действий могут служить константы ООН и FFH в микрооперациях m27 и m28;

а)

X	$X_{10}$		...	
	$X_{16}$		...	
	$X_{\text{доп}}$		...	
Y	$Y_{10}$		...	
	$Y_{16}$		...	
	$Y_{\text{доп}}$		...	
Z	$Z_{10}$		...	
	$Z_{16}$		...	
	$Z_{\text{доп}}$		...	



$N_{\text{тест}}$

б)

Исходные данные и результаты	Значение		
	Dec	hex	Доп-й код
X			
Y			
$X*2^{-1}$			
$(X*2^{-1}-Y)$			
$(X*2^{-1}-Y)*2^{-1}$			
$(X*2^{-1}-Y)*2^{-1}+Y$			
Z			

Рис. 1 Примеры оформления набора тестовых примеров

- затем адресной микрокомандой с необходимым адресом перехода осуществляется сам переход.

Чтобы использовать такой способ, следует представить в микрокомандах выбранного формата всю микропрограмму и убедиться в возможности размещения последней в памяти микрокоманд объемом 64 ячейки. В противном случае необходимо увеличивать емкость ПМК и усложнять схему УФАМК.

При *втором* способе множество признаков результата ( $x_0$ - $x_3$ ) и константа “1” объединяются и нумеруются в соответствии с таблицей рис. 2, а. В новой схеме УФАМК используется 8-мивходовой мультиплексор (рис.2,б), управляемый уже трехразрядным полем НЛУ.

Для реализации “схождения” ветвей достаточно одной адресной микрокоманды, в поле НЛУ которой расположен код 1~.

а)

Признак результата и константа "1"	Двоичный номер		
$X_0$	0	0	0
$X_1$	0	0	1
$X_2$	0	1	0
$X_3$	0	1	1
Константа "1"	1	~	~

б)

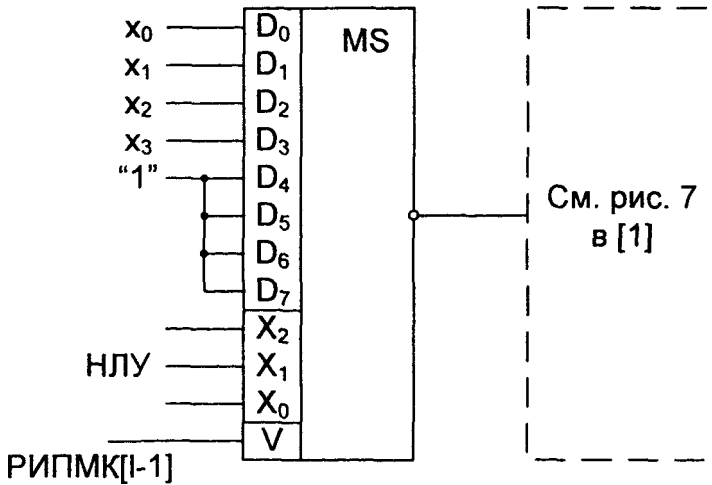


Рис.2. Нумерация признаков результата и константы "1" (а) и схемная ее реализация (б)

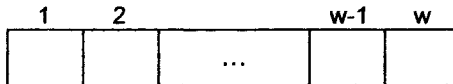
## 1.2. РЕКОМЕНДАЦИИ ПО ТЕМЕ 2:

1. Курсовая работа (или проект) выполняется по методическим указаниям [2] в списке литературы. При этом пункт 7 раздела "Задание" следует выполнять в следующей формулировке:

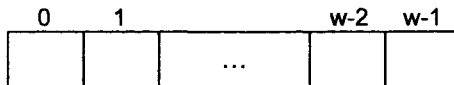
- Разработать и вычертить функциональную электрическую схему блока памяти микрокоманд (ПМК), выбрав для его реализации БИС постоянной памяти ROM с емкостью  $S_{пмк}/4$  и разрядностью 8, с одним инверсным входом выборки корпуса и Z-состоянием выходов.

О том, как выполнить такой пункт задания, рассказано в рекомендации 6.

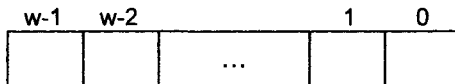
2. В методических указаниях [2] используются следующие способы нумерации разрядов кодов, а также номеров входов и выходов:



или



Студент, по своему выбору, может оставить их при выполнении работы, а может воспользоваться принятым сейчас способом нумерации





3. При схемной реализации узла формирования микроопераций УФМКО необходимы дешифраторы на 32, 64 и даже на 128 выходов. Они строятся с использованием элементов К155ИД3 и К155ИД4 и инверторов. На рис. 3 показана схема дешифратора на 32 выхода на основе 2-х дешифраторов К155ИД3.

Шестидесятичетырехвыходовой дешифратор потребует для своей реализации 4-х таких элементов и схему дешифрации, например, на К155ИД4 двух старших разрядов кода микрооперации. Инверторы на выходах дешифраторов в схемах УФМКО необходимы для получения сигналов микрооперации в соответствии с временной диаграммой рис.2 в [2].

4. При схемной реализации узлов формирования адреса микрокоманды необходимы мультиплексоры логических условий на 32, 64 и даже 128 информационных входов и мультиплексоры многоразрядных кодов (в случае ветвления по независимым адресам). Для практического синтеза таких мультиплексоров используются СИС мультиплексоров К155КП1, К155КП2, К155КП5 и К155КП7 с обычными выходами и элементы К155КП11 и К155КП12 – с Z – состоянием выходов. На рис.4 и рис.5 приведены схемы мультиплексоров 16-ти логических условий, построенные на мультиплексорах, имеющих (рис.4) и не имеющих (рис.5) вход выборки.

При изображении схемы на рис.4 использован прием, описанный в разделе “Оформление курсовой работы (проекта)”.

На рис.6 показан мультиплексор двух байтовых кодов, реализованный на двух элементах К155КП11. Схема мультиплексирования четырех таких кодов может быть получена из двух предыдущих схем в соответствии с рис.7.

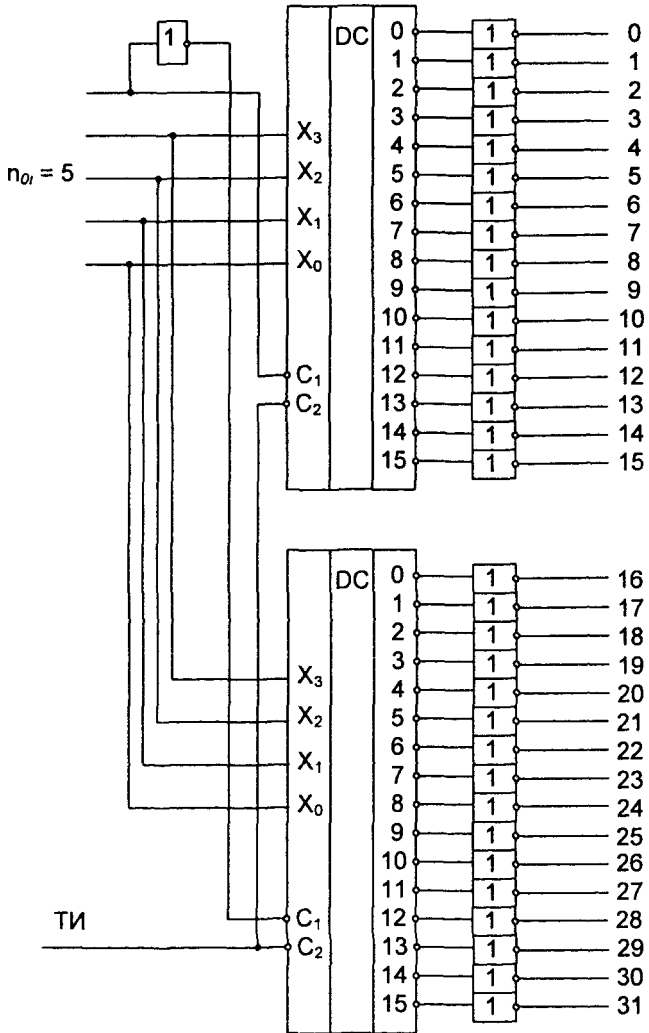


Рис.3. Тридцатидвухвыходовой дешифратор на основе СИС дешифраторов К155ИДЗ.

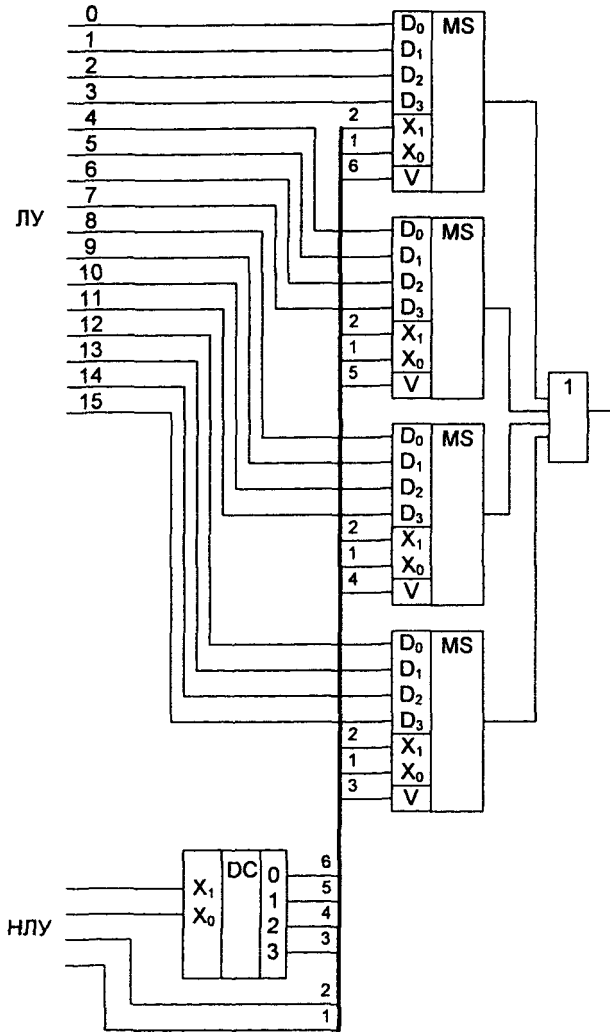


Рис.4. Мультиплексор 16/1 на мультиплексорах 4/1 со входами выборки

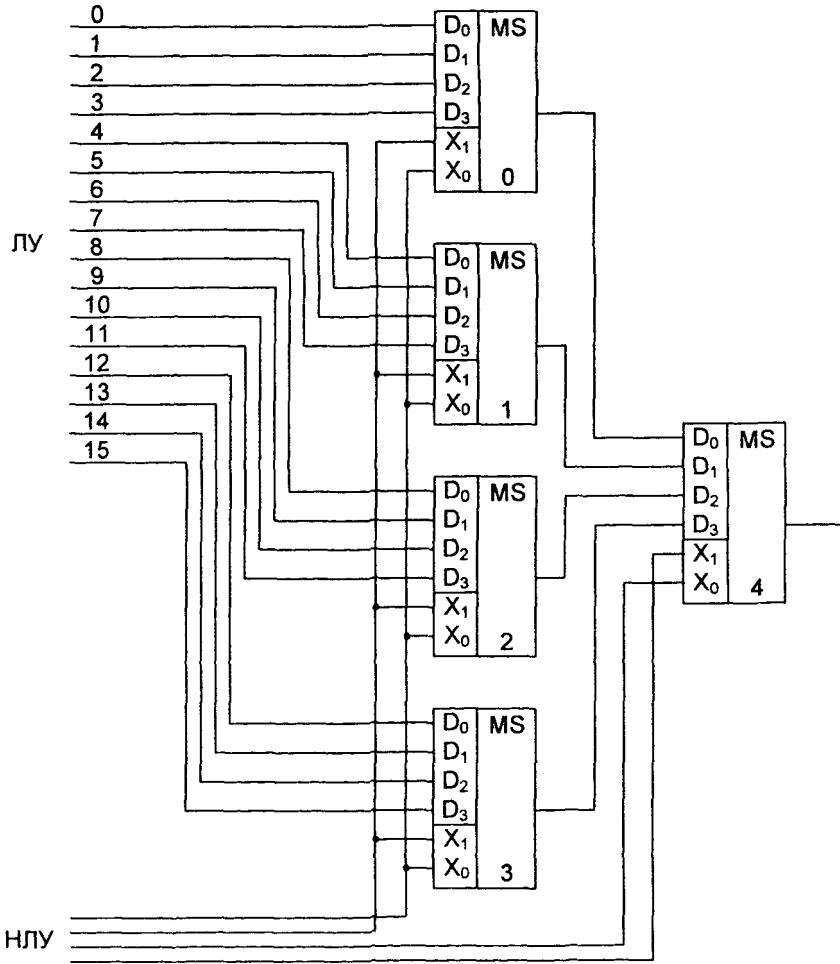


Рис.5. Пример построения мультиплексора 16/1 на мультиплексорах 4/1 без входов выборки.

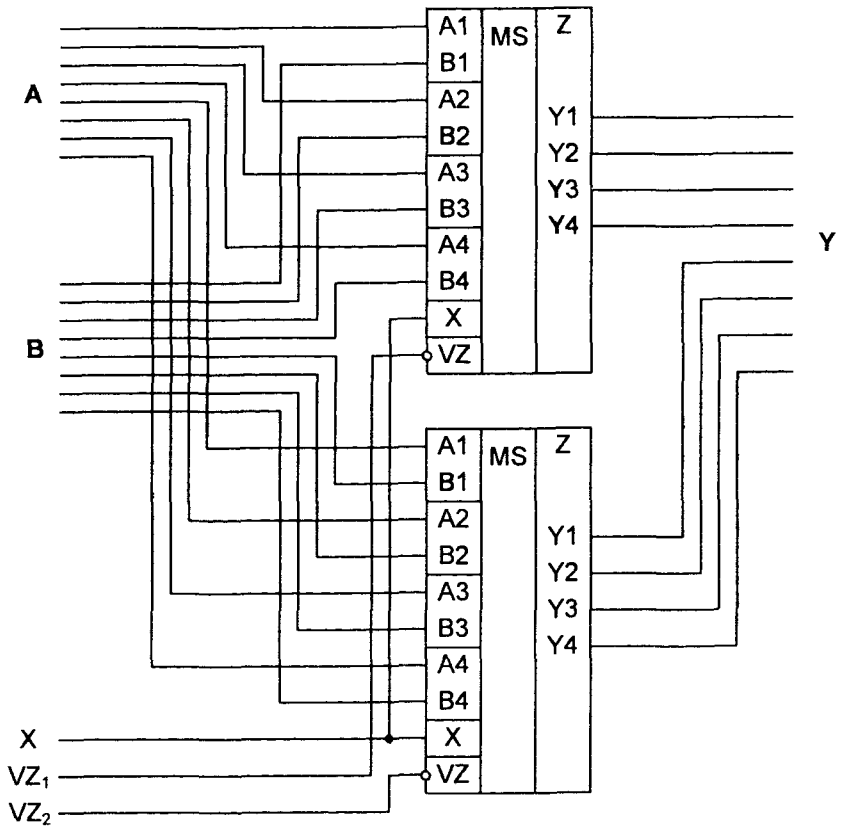


Рис.6. Мультиплексор двух 8-ми разрядных кодов на элементах К155КП111 ( $VZ_1=VZ_2="0"$ ).

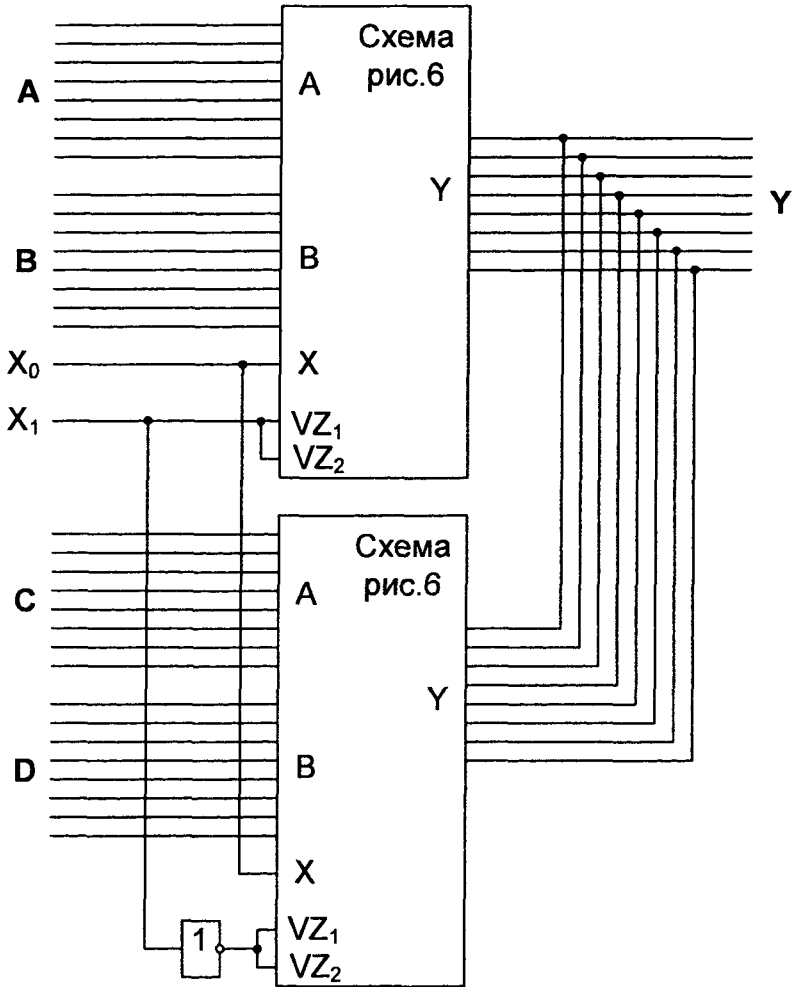


Рис.7. Схема мультиплексирования четырех 8-ми-разрядных кодов A, B, C, D.

5. Данная группа рекомендаций касается вариантов 3, 6 и 20, в которых задан естественный способ адресации микрокоманд. Здесь необходимо:

-исключить из задания секционирование, т.е. считать  $q=1$ ;

-принять вариант косвенного кодирования  $\Pi$  из табл.2, расположив 4-х разрядную микроконстанту и микрооперацию ее приема в операционной микрокоманде;

-множество из  $I=I_1$  логических условий дополнить константой "1", обеспечив тем самым возможность безусловного перехода и реализации схождения микропрограммы (см. также рекомендацию 3 из раздела 1.1)

6. Построение блока памяти микрокоманд из БИС ROM с информационной емкостью  $C_{\text{бис}} \times \Pi_{\text{бж}}$  в общем виде выполняют так:

- определяют общее число БИС ROM, необходимое для построения ПМК:

$$N_{\text{бис}} = \frac{C_{\text{ПМК}} \cdot n}{C_{\text{БИС}} \cdot n_{\text{БИС}}} = m \cdot v,$$

где

$$m = \frac{C_{\text{ПМК}}}{C_{\text{БИС}}},$$

$$v = \frac{n}{n_{\text{БИС}}},$$

$n$  - разрядность микрокоманды.

Число  $v$  округляют до ближайшего целого числа. Что касается  $m$ , то оно получается целым благодаря тому, что и  $C_{\text{ПМК}}$  и  $C_{\text{БИС}}$  являются двойками в целой степени. Исключением является случай, когда  $C_{\text{ПМК}} < C_{\text{БИС}}$ , здесь  $m$  округляется до 1;

- запоминающий массив ПМК из  $N_{\text{БИС}}$  изображают в виде матрицы из  $m$  колонок, в каждой из которой размещено  $u$  микросхем памяти;

-  $k$ - разрядный адрес ПМК рассматривают как состоящий из адреса колонки (старшие разряды) и адреса ячейки БИС  $K_{\text{БИС}} = \log_2 C_{\text{БИС}}$  (младшие разряды).

Адрес колонки (старшие)	Адрес ячейки БИС (младшие разряды)
----------------------------	---------------------------------------

Последние разводятся по всем БИС массива. Старшие разряды адреса дешифрируются, а выходы дешифратора соединяются со входами CS (“chip select”) микросхем колонок;

- одноименные информационные выходы БИС строк соединяются друг с другом, образуя  $n$  выходов блока памяти.

Такие действия иллюстрируются схемой на рис.8. На рис.8, а изображена гипотетическая(в соответствии с заданием) БИС ROM с емкостью  $C_{\text{ПМК}}/4$  и  $n_{\text{БИС}}=8$ . На рис.8, б изображен запоминающий

массив ПМК, содержащий 4 колонки и  $\frac{n}{n_{\text{БИС}}}$  строк микросхем, и

дешифратор на 4 выхода. Для уменьшения числа линий связи в схеме опять использован прием, описываемый в разделе “Оформление курсовой работы (проекта)”.



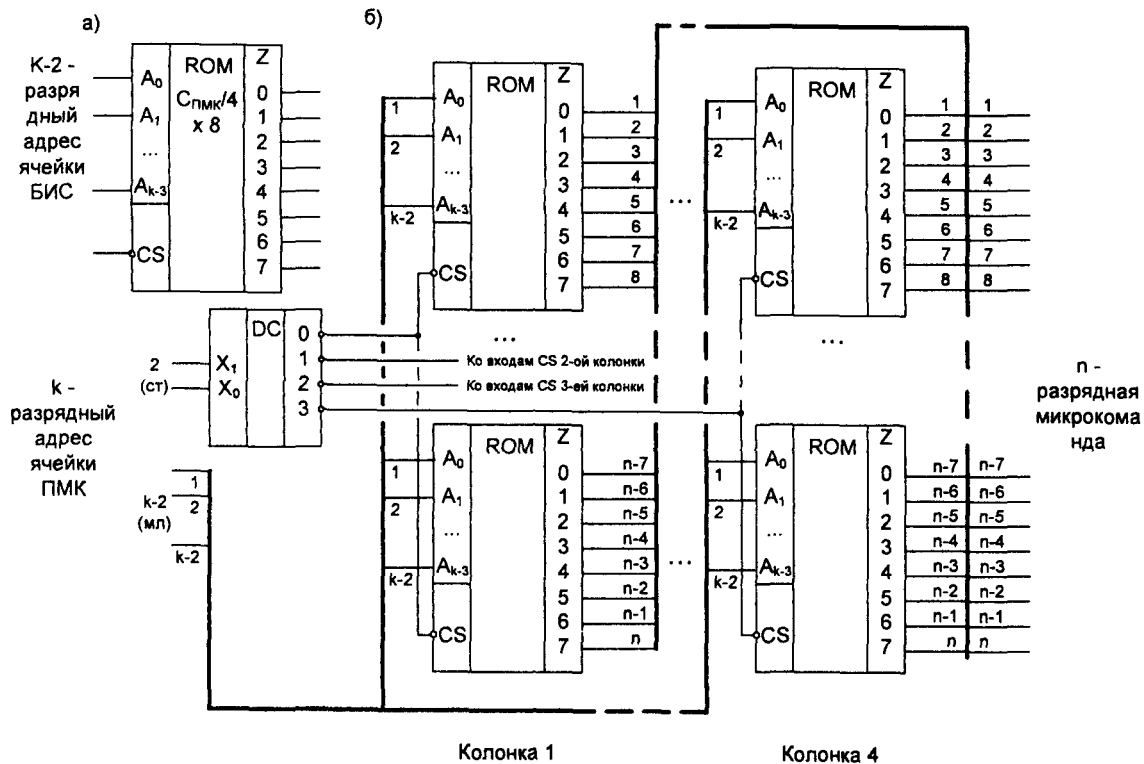


Рис. 8. Условное графическое обозначение БИС ROM (а) и схема блока ПМК  $S_{\text{ПМК}} \times n$  (б).

## 2. ОФОРМЛЕНИЕ КУРСОВОЙ РАБОТЫ (ПРОЕКТА)

2.1. Содержание курсовой работы (проекта) по теме 2 совпадает с содержанием отчета в [2, с.7] в пунктах 1-6. Пункт 7 следует читать “Схема электрическая функциональная блока памяти микрокоманд”, а пунктом 8 сделать “Список литературы”.

2.2. Курсовая работа (проект) оформляется в виде пояснительной записки на бумаге формата А4. Листы со схемами, если они представлены на бумаге большего формата, фальцуются по размеру А4. Листы пояснительной записки обязательно нумеруются, скрепляются и помещаются в папку (файл). Титульный лист работы представлен на рис.9.

2.3. Функциональные схемы узлов формирования микроопераций УФМКО, узла формирования адреса микрокоманды УФАМК и блока памяти микрокоманд ПМК могут быть представлены двояко (по выбору студента):

- в виде рисунков с номерами и подрисовочными подписями, при этом ссылки на рисунки должны присутствовать в тексте пояснительной записки;

- в виде конструкторских документов – на листах определенного формата с рамкой и угловой надписью (“штампом”).

Формат листов для схем выбирается таким образом, чтобы расстояние между двумя любыми параллельными линиями было не менее 5 мм. Это требование определяет

размеры условных графических обозначений (УГО) логических элементов на схемах (рис.10, а). Здесь высота УГО

$$L = 5 \times (N_{ax} + 1), \text{ (мм)},$$

где  $N_{ax}$  – число входов мультиплексора.

Для уменьшения числа линий в схемах рекомендуется применять условное графическое слияние отдельных линий в групповые или линии групповой связи ЛГС (рис.10, б). Последние показывают утолщенными, а номера расставляются в соответствии с фактическими соединениями элементов между собой. Располагая элементы схемы в подобие матрицы, можно ограничиться одной (например, в виде серпантина)-двумя линиями групповой связи и получить схемы с минимальным числом линий.

Московский государственный университет  
путей сообщения (МИИТ)

Институт управления и информационных технологий

Кафедра «Вычислительные системы и сети»

**Курсовая работа по дисциплине**  
**«Аппаратные средства вычислительной техники»**  
**на тему:**  
**« (наименование выбранной работы) »**

Выполнил: студент(ка) группы АКБ-41...  
<Фамилия И.О.>

Принял: преподаватель  
<Фамилия И.О.>

Москва – 20xx

Рис.9. Титульный лист курсовой работы (проекта)

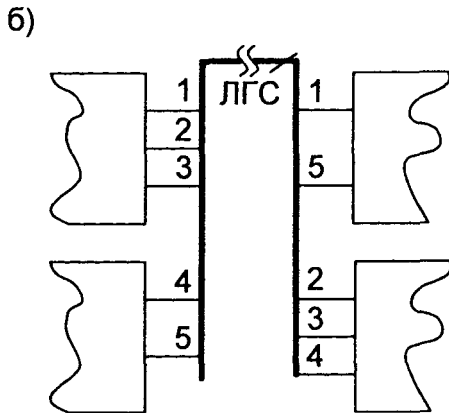
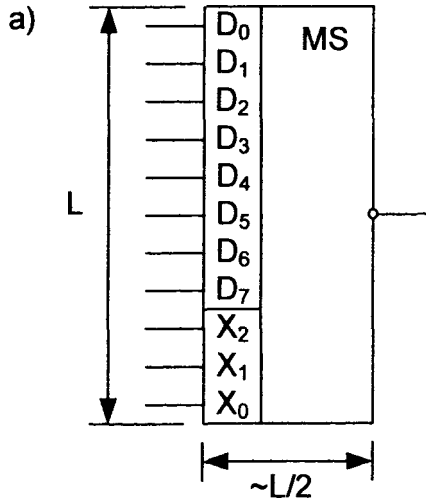


Рис. 10. Выбор размеров ЛЭ (а) и использование линий групповой связи (б).

### 3. ЛИТЕРАТУРА

1. А. Е. Мамченко, Г. Г. Тельнов “Проектирование микропрограммного автомата. Методические указания”. – М.: МИИТ, 2005. – 44 с.

2. Организация микропрограммных управляющих устройств с программируемой (хранимой в памяти) логикой: Методические указания / Сост. А.Е.Мамченко. – М.: МИИТ, 1989. – 36 с.

3. Б.В. Желенков “Элементы транзисторно-транзисторной логики. Учебное пособие”. - М.: МИИТ, 2005. – 70 с.

4. Учебный пакет прикладных программ Chip Explorer

## **СОДЕРЖАНИЕ**

1. Рекомендации по выполнению курсового проекта (курсовой работы) .....	3
1.1. Рекомендации по теме 1: .....	4
1.2. Рекомендации по теме 2: .....	8
2. Оформление курсовой работы (проекта) .....	18
3. Литература .....	22

*Учебно-методическое издание*

Мамченко Александр Евгеньевич  
Абрамов Александр Валерьевич

**ПРОЕКТИРОВАНИЕ  
УПРАВЛЯЮЩИХ АВТОМАТОВ С  
ПРОГРАММИРУЕМОЙ ЛОГИКОЙ**

Методические указания к курсовому проектированию

---

Подписано в печать - *13.09.07*. Тираж 100 экз.      Заказ - *497*.  
Формат 60×84 1/16                      Усл. печ. л. 1,5      Изд. № 205-07

---

Типография МИИТа  
127994, Москва, ул. Образцова, 15